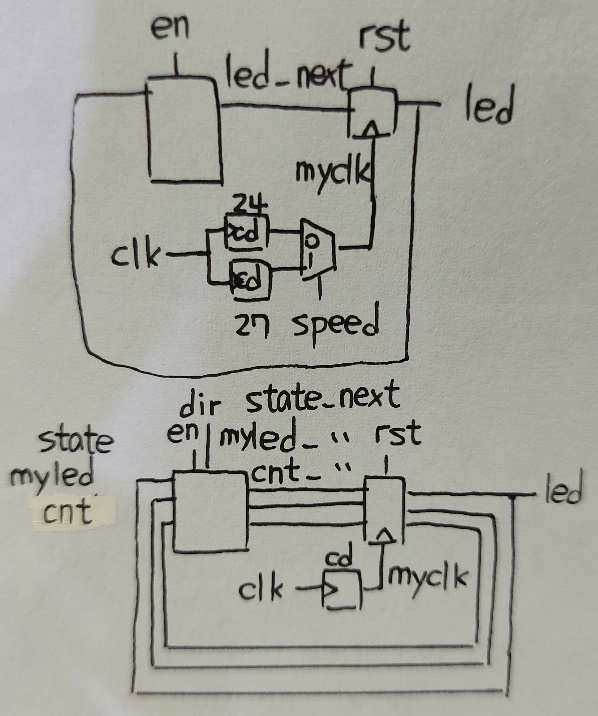
|  |  |
| --- | --- |
| **Lab 3** | |
| 學號: 109062318 | 姓名: 簡弘哲 |

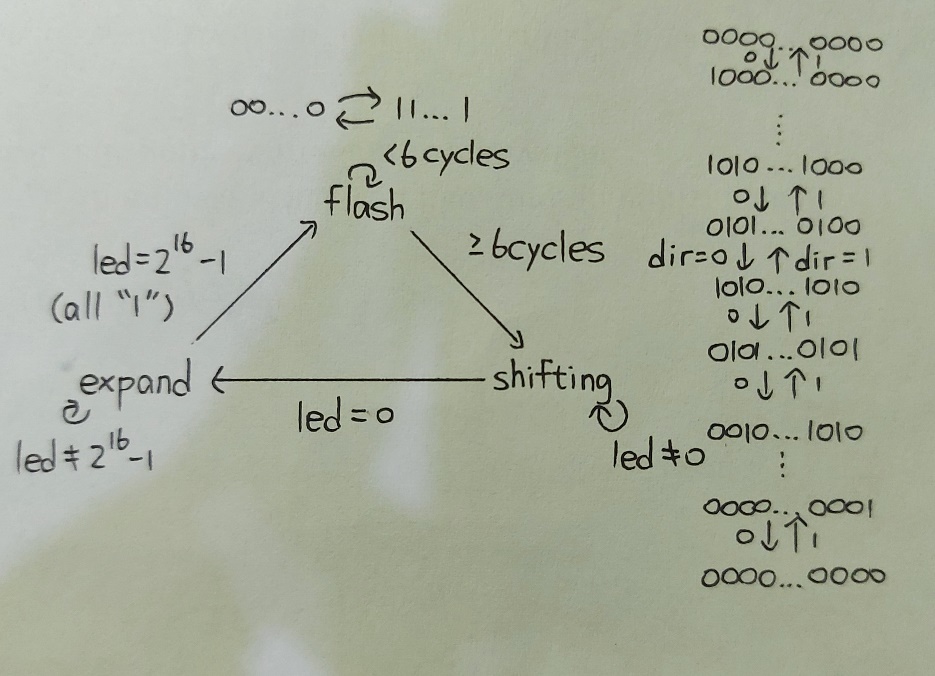
1. 實作過程



上方部分為3-1下方是3-2，兩者皆由combinational block與sequential block組成，也用了類似的方法，將clk除頻後接上flipflop。

3-1由combinational block決定下一個燈的狀態。

3-2用cnt記錄在flashing mode已經數了幾個cycle，state記錄目前是位在哪個state。Flash可以用~將每個bit反轉，shifting看不出有什麼規律只好條列所有可能，expanding,shrinking有觀察出規律，利用&、|、<<、>>就可以推出下一個state。



State diagram主要分3個state(flash,shift,expand)，在flash跟shift中又分其中的小state，至於expand我有觀察出公式expand:next=(now<<1) | (now>>1)，shrink:將expand的|換成&，但shift沒有觀察出甚麼東西所以就暴力列舉所有state，根據dir決定下一個state，而flash只是兩個state之間的互換。

1. 學到的東西與遇到的困難

3-1一開始不知道要怎麼把除頻後的clk接進module裡，後來想到可以自己宣告一個myclk以及兩個clock divider，看speed是多少就把myclk接到其中一個clock divider的output上。

3-2在implementation的時候一直跑不起來，到討論區上發問以及自己google解決辦法，跟教授的回覆差不多，只是我不知道該怎麼把教授回覆的那一段code加進xdc file裡，後來仔細檢查code發現有一處的寫法會造成latch，把它改善之後就可以implement了。

1. 想對老師或助教說的話

助教與教授在討論區的回答都很有耐心

每次做lab時間壓力有點大以及會遇到一些奇怪的bug